

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 9 3 6 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 9 3 6 5]

出 願 人 沖電気工業株式会社
Applicant(s):



2 0 0 3 年 1 0 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 KA003876

【提出日】 平成15年 3月14日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03M 3/135

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 倉盛 文章

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 村上 光紀

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 内部電源回路

【特許請求の範囲】

【請求項 1】 外部から与えられる電源電圧が所定の電圧よりも高いか低いかを検出して検出信号を出力する電圧検出部と、

前記電源電圧から第 1 の一定電圧を生成する第 1 の定電圧生成部と、

前記第 1 の定電圧生成部と同一の回路構成で、前記電源電圧から前記第 1 の一定電圧とは異なる第 2 の一定電圧を生成する第 2 の定電圧生成部と、

前記検出信号に従って前記第 1 または第 2 の一定電圧のいずれか一方を基準電圧として出力する電圧切替部と、

前記電源電圧から前記基準電圧に応じた内部電源電圧を生成して出力する内部電源出力部とを、

備えたことを特徴とする内部電源回路。

【請求項 2】 外部から与えられる電源電圧が第 1 の電圧よりも高いか低いかを検出して第 1 の検出信号を出力する第 1 の電圧検出部と、

前記電源電圧から第 1 の一定電圧を生成する第 1 の定電圧生成部と、

前記第 1 の定電圧生成部と同一の回路構成で、前記電源電圧から前記第 1 の一定電圧とは異なる第 2 の一定電圧を生成する第 2 の定電圧生成部と、

前記検出信号に従って前記第 1 または第 2 の一定電圧のいずれか一方を基準電圧として出力する電圧切替部と、

前記電源電圧から前記基準電圧に応じた内部電源電圧を生成して出力する内部電源出力部と、

前記電源電圧が前記第 1 の電圧よりも低い第 2 の電圧よりも高いか低いかを検出して第 2 の検出信号を出力する第 2 の電圧検出部と、

前記第 2 の検出信号によって前記電源電圧が前記第 2 の電圧よりも高いとされたときに、内部で生成される昇圧電圧が所定の電圧よりも高いか低いかを検出して第 3 の検出信号を出力する第 3 の電圧検出部と、

前記内部電源電圧によって駆動され、前記第 3 の検出信号に従ってクロック信号を発生するクロック発生部と、

前記クロック信号を用いて昇圧動作を行って前記昇圧電圧を生成する昇圧部とを、

備えたことを特徴とする内部電源回路。

【請求項 3】 電源モード設定用の電極が電源電位または接地電位に固定接続されたことを検出してモード選択信号を出力するモード検出部と、

外部から与えられる電源電圧が各電源モードに対応した所定の電圧よりも高いか低いかを検出して各電源モード毎にそれぞれ検出信号を出力する複数の電圧検出部と、

前記モード選択信号に従って前記複数の検出信号の内から設定された電源モードに対応する検出信号を選択する選択部と、

前記電源電圧から第 1 の一定電圧を生成する第 1 の定電圧生成部と、

前記第 1 の定電圧生成部と同一の回路構成で、前記電源電圧から前記第 1 の一定電圧とは異なる第 2 の一定電圧を生成する第 2 の定電圧生成部と、

前記選択部で選択された検出信号に従って前記第 1 または第 2 の一定電圧のいずれか一方を基準電圧として出力する電圧切替部と、

前記電源電圧から前記基準電圧に応じた内部電源電圧を生成して出力する内部電源出力部とを、

備えたことを特徴とする内部電源回路。

【請求項 4】 前記内部電源出力部は、

出力ノードと前記電源電圧との間に接続された電圧制御用の第 1 のトランジスタを有し、前記基準電圧に従って該第 1 のトランジスタの導通状態を制御して該出力ノードに該基準電圧に応じた前記内部電源電圧を出力する差動増幅器と、

前記電源電圧のレベルが所定レベルを越えたか否を検出するレベル検出部と、

前記電源電圧と前記出力ノードとの間に接続され、前記第 1 のトランジスタと同様に前記差動増幅器によって導通状態が制御される第 2 のトランジスタ及び前記レベル検出部で前記電源電圧が所定レベルを越えていないことが検出されたときにオン状態に制御されるスイッチ用の第 3 のトランジスタからなる補助電流供給部とを、

有することを特徴とする請求項 1、2 または 3 記載の内部電源回路。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は、外部から与えられる電源電圧から半導体集積回路の内部に必要な所定の電源電圧を生成する内部電源回路に関するものである。

【0 0 0 2】**【従来の技術】****【0 0 0 3】****【特許文献 1】**

特開平 5 - 3 1 4 7 6 9 号公報

【特許文献 2】

特公平 7 - 1 3 8 7 5 号公報

【0 0 0 4】

外部電源電圧 V_{CC} から半導体集積回路の内部で使用する内部電源電圧 V_{DD} を生成する従来の内部電源回路は、例えば、外部電源電圧 V_{CC} から一定の電圧 V_1 を生成する定電圧生成部と、所定電圧以上の外部電源電圧 V_{CC} が与えられたときに、その外部電源電圧 V_{CC} よりも一定の電圧だけ低い電圧 V_2 を出力する電圧生成部と、これらの電圧 V_1 、 V_2 の内の高い方の電圧を内部電源電圧 V_{DD} として出力する電圧合成部とで構成されている。

【0 0 0 5】

定電圧生成部は、抵抗と NMOS（Nチャネル MOS トランジスタ）の直列回路に外部電源電圧 V_{CC} を印加し、この NMOS に生ずる閾値電圧 TH_1 を一定の電圧 V_1 として出力するものである。一方、電圧生成部は、PMOS（Pチャネル MOS トランジスタ）と複数の NMOS の直列回路に外部電源電圧 V_{CC} を印加し、これらの NMOS に生ずる電圧（外部電源電圧 V_{CC} - PMOS の閾値電圧）を電圧 V_2 として出力するものである。

【0 0 0 6】

これにより、定電圧生成部において、外部電源電圧 V_{CC} が NMOS の閾値電圧 TH_1 以下のとき、この NMOS はオフ状態となり、電圧 V_1 は外部電源電圧

VCCに等しくなる。外部電源電圧VCCが閾値電圧TH1を越えると、NMOSはオン状態となって電流が流れ、抵抗による電圧降下によって電圧V1は閾値電圧TH1に保持される。

【0007】

一方、電圧生成部では、外部電源電圧VCCがNMOSの閾値電圧TH2以下のとき、電圧V2はPMOSの閾値電圧に達するまで外部電源電圧VCCと同じ電圧となる。外部電源電圧VCCがNMOSの閾値電圧TH2を越えると、このNMOSがオンとなり、電圧V2は、外部電源電圧VCCからPMOSの閾値電圧だけ低い値に保持される。

【0008】

電圧合成部では、定電圧生成部から出力される電圧V1と電圧生成部から出力される電圧V2とが合成され、高い方の電圧が内部電源電圧VDDとして出力される。これにより、外部電源電圧VCCがNMOSの閾値電圧TH1以下のときは外部電源電圧VCCが、外部電源電圧VCCが定電圧生成部のNMOSの閾値電圧TH1と電圧生成部のNMOSの閾値電圧TH2の間（この区間をフラット領域と呼ぶ）のときには定電圧生成部の閾値電圧TH1が、外部電源電圧VCCが閾値電圧TH2以上のとき（この区間をバーンイン領域と呼ぶ）には外部電源電圧VCCよりも一定の電圧だけ低い電圧が、それぞれ内部電源電圧VDDとして出力される。

【0009】

【発明が解決しようとする課題】

しかしながら、従来の内部電源回路では、次のような課題があった。

定電圧生成部のように、NMOSの閾値電圧によって一定電圧を生成する回路は、温度依存性が小さく安定した一定電圧を得ることができるが、電圧生成部のように外部電源電圧VCCに対して一定の電圧だけ低い電圧を出力する回路では、温度依存性及び閾値電圧依存性が大きく安定した電圧を生成することが困難であった。

【0010】

また、同一の半導体集積回路を2種類の外部電源電圧VCC（例えば、3Vと

5 V) に対応した製品とする場合も、フラット領域からバーンイン領域に切り替わる閾値電圧をずらすために、電圧生成部に抵抗素子を追加するなどの工夫が必要であった。また、定電圧生成部がNMOSの閾値電圧に依存するのに対して、電圧生成部はPMOSの閾値電圧に依存する特性を有している。このため、NMOSの閾値電圧が定電圧生成部の電圧V1を上昇させる方向にずれ、PMOSの閾値電圧が電圧生成部の電圧V2を低下させる方向にずれた場合、電圧V1が電圧V2を上回ってしまい、調整が困難になるという場合があった。

【0011】

更に、電圧生成部から出力される電圧V2は、閾値電圧を越えると外部電源電圧VCCよりも一定電圧だけ低い電圧で上昇する特性を有しているため、この閾値電圧が動作補償電圧範囲の高電圧側近辺にある場合、内部電源電圧VDDが動作補償電圧範囲の高電圧付近で上昇を開始し、動作マージンを劣化させる原因となる場合もあった。

【0012】

【課題を解決するための手段】

前記課題を解決するために、本発明は、内部電源回路を、外部から与えられる電源電圧が所定の電圧よりも高いか低いかを検出して検出信号を出力する電圧検出部と、前記電源電圧から第1の一定電圧を生成する第1の定電圧生成部と、前記第1の定電圧生成部と同一の回路構成で、前記電源電圧から前記第1の一定電圧とは異なる第2の一定電圧を生成する第2の定電圧生成部と、前記検出信号に従って前記第1または第2の一定電圧のいずれか一方を基準電圧として出力する電圧切替部と、前記電源電圧から前記基準電圧に応じた内部電源電圧を生成して出力する内部電源出力部とで構成している。

【0013】

本発明によれば、以上のように内部電源回路を構成したので、次のような動作が行われる。

【0014】

外部から与えられる電源電圧が所定の電圧よりも低いときには、電圧検出部から、例えばレベル“L”の検出電圧が出力され、第1の定電圧生成部で生成され

た第1の一定電圧が電圧切替部から基準電圧として出力される。電源電圧が所定の電圧よりも高くなると、電圧検出部からレベル“H”の検出信号が出力され、第2の定電圧生成部で生成された第2の一定電圧が電圧切替部から基準電圧として出力される。基準電圧は、内部電源出力部に与えられ、電源電圧からこの基準電圧に応じた内部電源電圧が生成されて出力される。第1及び第2の定電圧生成部は、同一の回路構成となっているため、切り替えられたときに温度依存性及び閾値電圧依存性による変動が無く、安定した内部電源電圧が生成される。

【0015】

【発明の実施の形態】

(第1の実施形態)

図1は、本発明の第1の実施形態を示す内部電源回路の構成図である。

この内部電源回路は、外部電源電圧VCCから半導体集積回路の内部で使用する内部電源電圧VDDを生成するもので、電圧検出部10と、定電圧生成部20a、20bと、電圧切替部30と、内部電源出力部40とで構成されている。

【0016】

電圧検出部10は、外部電源電圧VCCが所定の電圧を越えたときに検出信号DETを出力するもので、検出用の基準電圧SVRを生成する基準電圧源11と、定電圧V12を生成する定電圧源12を有している。これらの基準電圧源11と定電圧源12の回路構成は、後述する定電圧生成部20a、20bと同様である。

【0017】

更に、この電圧検出部10は、ゲートに基準電圧SVRが与えられるPMOS13を有している。PMOS13のソースは、順方向にダイオード接続された2段のNMOS14a、14bを介して、外部電源電圧VCCに接続されている。PMOS13のドレインはノードN11に接続され、このノードN11が直列に接続されたNMOS15a、15bを介して接地電圧GNDに接続されている。NMOS15a、15bのゲートには、基準電圧SVRが与えられている。

【0018】

ノードN11には、NMOS16のゲートが接続され、このNMOS16のド

レインがノードN12に接続されている。ノードN12は、直列に接続されたPMOS17a, 17bを介して、ノードN13に接続されている。また、NMOS16のソースは、直列に接続されたNMOS18a, 18bを介して接地電圧GNDに接続されている。PMOS17a, 17bのゲートは接地電圧GNDに接続され、NMOS18a, 18bのゲートはノードN13に接続されている。

【0019】

ノードN13には、定電圧源12から定電圧V12が与えられるようになっている。また、ノードN12にはインバータ19が接続され、このインバータ19から検出信号DETが出力されるようになっている。

【0020】

定電圧生成部20a, 20bは、外部電源電圧VCCがそれぞれ設定された一定電圧を越えたときに、それぞれ一定の電圧V20a, V20bを出力するものである。これらの定電圧生成部20a, 20bは同一の回路構成で、例えば定電圧生成部20aは、外部電源電圧VCCとノードN21aの間に直列に接続された抵抗21a, 22a、及びノードN21aと接地電圧GNDの間に接続されたNMOS23aで構成されている。NMOS23aのゲートは、抵抗21a, 22aの接続箇所に接続され、ノードN21aから電圧V20aが出力されるようになっている。

【0021】

電圧切替部30は、電圧検出部10から出力される検出信号DETで相補的にオン／オフ制御される2つのスイッチ31, 32と、これらのスイッチ31, 32から出力される電圧を電力増幅するバッファ33で構成されている。スイッチ31, 32の入力側には、それぞれ定電圧生成部20a, 20bからの電圧V20a, V20bが与えられている。この電圧切替部30では、検出信号DETが“L”のとき、スイッチ31がオンとなって定電圧生成部20aから出力される電圧V20aが選択され、検出信号DETが“H”のときには、スイッチ32がオンとなって定電圧生成部20bから出力される電圧V20bが選択されて、基準電圧VRFとして出力されるようになっている。電圧切替部30の出力側は、内部電源出力部40に接続されている。

【0022】

内部電源出力部40は、電圧切替部30から出力される基準電圧V_{RF}から外部電源電圧V_{CC}に対応した2段階の一定電圧を生成し、内部電源電圧V_{DD}として出力するものである。基準電圧V_{RF}は、内部電源出力部40のPMOS41のソースに与えられるようになっている。PMOS41のゲートとドレインはノードN41に接続され、このノードN41には、PMOS42のソースが接続されている。PMOS42のゲートとドレインは、接地電圧GNDに接続されている。更に、ノードN41には、NMOS43aのゲートが接続されている。

【0023】

NMOS43aのドレインとソースは、それぞれノードN42, N43に接続されている。ノードN42は、PMOS44aを介して外部電源電圧V_{CC}に、ノードN43は、NMOS45を介して接地電圧GNDに接続されている。更にノードN43は、直列に接続されたNMOS43bとPMOS44bを介して、外部電源電圧V_{CC}に接続されている。PMOS44a, 44bのゲートは、NMOS43bのドレインに接続され、NMOS45のゲートには一定電流を流すためのバイアス電圧V_Bが与えられており、これらのPMOS44a, 44bとNMOS43a, 43b, 45による差動増幅回路が構成されている。

【0024】

ノードN42には、PMOS46のゲートが接続され、このPMOS46のソースは外部電源電圧V_{CC}に、ドレインはノードN44にそれぞれ接続されている。ノードN44には、PMOS47のソースが接続され、このPMOS47のドレインとゲートが、ノードN45に接続されている。更に、ノードN45には、NMOS43bのゲートとPMOS48のソースが接続されている。また、PMOS45のドレインとゲートは、接地電圧GNDに接続されている。そして、ノードN44から、内部電源電圧V_{DD}が出力されるようになっている。

【0025】

図2は、図1の動作を示す信号波形図である。以下、この図2を参照しつつ図1の動作を説明する。

【0026】

電圧検出部 10 において、基準電圧源 11 から所望の電圧レベルに設定された基準電圧 SVR が出力されて PMOS 13 のゲートに与えられる。外部電源電圧 VCC が上昇すると、この外部電源電圧 VCC に比例して、ノード $N11$, $N12$ のレベル $VN11$, $VN12$ も上昇する。PMOS 13 のドレイン・ソース間電圧 Vds が大きくなり、ドレイン電流 I_{ds} が大きくなって、ノード $N11$ のレベル $VN11$ が更に上昇すると、これに伴い、NMOS 16 のオン抵抗が低下し、ノード $N12$ のレベル $VN12$ が低下する。

【0027】

ノード $N12$ のレベル $VN12$ がインバータ 19 の閾値電圧 $VT19$ ($=VCC/2$) よりも低下すると、検出信号 DET は “L” から “H” に切り替わる。この時の外部電源電圧 VCC の値が、電圧検出部 10 の検出電圧 $VDET$ となる。逆に、外部電源電圧 VCC が電圧検出部 10 の検出電圧 $VDET$ よりも高い状態から低下してくる場合は、この検出電圧 $VDET$ よりも低い電圧になったときに、検出信号 DET が “H” から “L” に切り替わる。

【0028】

また、定電圧生成部 20a, 20b では、外部電源電圧 VCC がそれぞれ設定された電圧 ($V20a$, $V20b$) 以下のときには外部電源電圧 VCC と同じ電圧が出力され、外部電源電圧 VCC がこれらの設定電圧を越えたときに、それぞれ一定の電圧 $V20a$, $V20b$ が出力される。

【0029】

一方、電圧切替部 30 では、外部電源電圧 VCC が検出電圧 $VDET$ を越えない間、検出信号 DET は “L” であるので、定電圧生成部 20a で生成された電圧 $V20a$ がバッファ 33 で電力増幅されて基準電圧 VRF として出力される。外部電源電圧 VCC が検出電圧 $VDET$ を越えると、検出信号 DET は “H” となり、定電圧生成部 20b で生成された電圧 $V20b$ が基準電圧 VRF として出力される。

【0030】

電圧切替部 30 から出力された基準電圧 VRF は、内部電源出力部 40 へ与えられ、この内部電源出力部 40 によって電力増幅されて、ノード $N44$ から内部

電源電圧 V_{DD} が出力される。

【0031】

以上のように、この第1の実施形態の内部電源回路は、回路構成が等しい定電圧生成部 20a, 20b で生成された2つの電圧 V_{20a} , V_{20b} を、検出信号 DET に従って切り替えて内部電源電圧 V_{DD} として出力する電圧切替部 30 と内部電源出力部 40 を有している。これにより、温度依存性の少ない内部電源電圧 V_{DD} が得られる。また、定電圧生成部 20a, 20b は同じ NMOS を使用した同一の回路構成となっているので、パラメータの変動による閾値電圧のばらつきを抑制することができる。更に、ストレス試験時に必要な電圧を得るために、従来のように外部電源電圧 V_{CC} を途中から上昇させる必要がなくなるため、内部電源電圧 V_{DD} のフラット領域を広く取ることが可能になり、高電圧での動作マージンが拡大するという利点がある。

【0032】

(第2の実施形態)

図3は、本発明の第2の実施形態を示す内部電源出力部の構成図である。

この内部電源出力部 40A は、図1中の内部電源出力部 40 に代えて設けられるもので、共通の要素には共通の符号が付されている。

【0033】

内部電源出力部 40A は、外部電源電圧 V_{CC} と出力ノードであるノード N4 との間に、電流供給用の PMOS 49i (但し、 $i = a \sim n$) と、これに直列に接続されたスイッチ用の PMOS 50i を複数個、並列に接続した補助電流供給部を有する構成となっている。各 PMOS 50i のゲートには、対応する電圧検出部 10i から検出信号 DET i が与えられるようになっている。

【0034】

なお、各電圧検出部 10i の構成は、図1中の電圧検出部 10 と同様であるが、外部電源電圧 V_{CC} の検出レベルは、それぞれ異なる値に設定されている。その他の構成は、図1中の内部電源出力部 40 と同様である。

【0035】

次に動作を説明する。

外部電源電圧 V_{CC} が低い場合、すべての電圧検出部 10 i で外部電源電圧 V_{CC} が検出されず、検出信号 DET_i はすべて “L” である。これにより、すべての PMOS 50 i がオン状態となり、外部電源電圧 V_{CC} とノード N44 の間のオン抵抗は低くなって、外部電源電圧 V_{CC} からこのノード N44 への電流供給能力が高くなる。

【0036】

外部電源電圧 V_{CC} の上昇に伴い、幾つかの高電圧検出部 10 i で外部電源電圧 V_{CC} が検出されると、これらの高電圧検出部 50 i の検出信号 DET_i は “H” となる。これにより、“H” の検出信号 DET_i に対応する PMOS 50 i がオフ状態となるが、外部電源電圧 V_{CC} の上昇により、駆動されている他の PMOS 49 i の電流供給能力は増加しているので、内部回路に対する電流供給に支障は無い。

【0037】

更に、外部電源電圧 V_{CC} が上昇して、すべての高電圧検出部 10 i で外部電源電圧 V_{CC} が検出されると、これらの高電圧検出部 10 i の検出信号 DET_i は、すべて “H” となる。これにより、すべての PMOS 50 i がオフ状態となり、外部電源電圧 V_{CC} からノード N44 への電流供給は、PMOS 46 のみで行われる。

【0038】

以上のように、この第2の実施形態の内部電源出力部は、複数の補助電流供給部を設け、外部電源電圧 V_{CC} に応じて順次これらの補助電流供給部をオン／オフ制御するように構成している。これにより、外部電源電圧 V_{CC} が低くて電流供給能力が小さいときは、多数の保持電流供給部をオン状態にして電流供給能力を上昇させ、内部電源電圧 V_{DD} の低下を防止して低電圧マージンを大きくすることができる。また、外部電源電圧 V_{CC} が高くて電流供給能力が大きい場合は、少数の保持電流供給部だけがオン状態となって、電流供給過剰による内部電源電圧 V_{DD} の発振を抑え、高電圧マージンを大きくすることができる。

【0039】

(第3の実施形態)

図4は、本発明の第3の実施形態を示す内部電源回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0040】

この内部電源回路は、図1と同様に、外部電源電圧VCCから半導体集積回路の内部で使用する内部電源電圧VDDを生成するための、電圧検出部10、定電圧生成部20a、20b、電圧切替部30、及び内部電源出力部40を有している。更に、この内部電源回路は、生成された内部電源電圧VDDを昇圧して昇圧電源VPPを生成するために、電圧検出部10x、10A、クロック発生部60、及び昇圧部70を備えている。

【0041】

電圧検出部10xは、電圧検出部10と同様の構成となっているが、この電圧検出部10よりも低い検出電圧で検出信号DET_xを出力するものである。検出信号DET_xは、電圧検出部10とは若干構成の異なる電圧検出部10Aに与えられるようになっている。

【0042】

即ち、電圧検出部10Aは、ゲートに検出信号DET_xが与えられるPMOS13aを有している。PMOS13aのドレインはノードN11に接続されている。ノードN11は、順方向にダイオード接続された2段のNMOS14a、142bを介して、昇圧電源VPPに接続されると共に、直列に接続されたNMOS15a、15bを介して接地電圧GNDに接続されている。NMOS15a、15bのゲートには、基準電圧源11から基準電圧SVRが与えられるようになっている。また、PMOS13aのソースは、ダイオード接続されたNMOS14a、14bの接続点に接続されている。

【0043】

更に、ノードN11には、NMOS16のゲートが接続され、このNMOS34のドレインがノードN12に接続されている。ノードN12は、直列に接続されたPMOS17a、17bを介して、ノードN13に接続されている。また、NMOS16のソースは、直列に接続されたNMOS18a、18bを介して接地電圧GNDに接続されている。PMOS17a、17bのゲートは接地電圧G

NDに接続され、NMOS 18a, 18bのゲートはノードN13に接続されている。ノードN13には、定電圧源12から定電圧V12が与えられるようになっている。ノードN12にはインバータ19が接続され、このインバータ19から検出信号DETyが出力されるようになっている。

【0044】

検出信号DETyは、インバータ61で論理レベルが反転され、検出信号DETzとしてクロック発生部60に与えられるようになっている。クロック発生部60は、内部電源電圧VDDを電源として動作するもので、検出信号DETzが“H”のときに内部クロック信号CLKを発生し、“L”のときにはその発生を止める機能を備えている。クロック発生部60の出力側は、昇圧部70に接続されている。昇圧部70は、内部電源電圧VDDを電源として動作するもので、内部クロック信号CLKがパルス状に入力される間、昇圧動作を続けて昇圧電圧VPPのレベルを所望の値に維持する機能を備えている。昇圧電圧VPPは、内部のストレス印加試験用の電圧として、内部の被試験回路に与えられると共に、前述の電圧検出部10Aに与えられるようになっている。

【0045】

図5は、図4の動作を示す信号波形図である。以下、この図5を参照しつつ図4の動作を説明する。

【0046】

図1と同様に、電圧検出部10、定電圧生成部20a, 20b、電圧切替部30、及び内部電源出力部40で構成される内部電源回路によって、外部電源電圧VCCから内部電源電圧VDDが生成され、クロック発生部60、昇圧部70、及びその他の図示しない内部回路に供給される。

【0047】

内部電源電圧VDDがインバータ等の論理ゲートを正常に動作させる電圧に達していないときは、クロック発生部60と昇圧部70は動作せず、昇圧電圧VPPは出力されない。内部電源電圧VDDが論理ゲートの動作電圧まで上昇したとき、電圧検出部10Aから出力される検出信号DETyは“L”であるので、インバータ61から出力される検出信号DETzは“H”となる。これにより、ク

ロック発生部 6 0 と昇圧部 7 0 の動作が開始され、内部電源電圧 V_{DD} に比例して昇圧された昇圧電圧 V_{PP} が出力される。

【0 0 4 8】

電圧検出部 1 0 x の検出電圧 $V_{DET x}$ は、電圧検出部 1 0 の検出電圧 V_{DET} よりも低く設定されているので、外部電源電圧 V_{CC} のレベルがこの検出電圧 $V_{DET x}$ を越えると、検出信号 $DET x$ が “L” から “H” に切り替わり、電圧検出部 1 0 A の PMOS 1 3 a がオフ状態となる。これにより、電圧検出部 1 0 A の回路閾値は高い方にシフトし、昇圧電圧 V_{PP} がより高い電圧にならないと検出信号 $DET y$ を “L” に切り替えないようになり、この昇圧電圧 V_{PP} は高い電圧を取るよう設定される。

【0 0 4 9】

このとき、電圧検出部 1 0 で制御される内部電源電圧 V_{DD} のレベルは、変化しない。外部電源電圧 V_{CC} を更に上昇させると、検出信号 DET が “L” から “H” に切り替わり、内部電源電圧 V_{DD} のレベルは高い方に切り替わる。

【0 0 5 0】

以上のように、この第 3 の実施形態の内部電源回路は、内部電源電圧 V_{DD} を設定したとおりの電圧に維持し、この内部電源電圧 V_{DD} よりも高い昇圧電圧 V_{PP} を発生させることができるので、ストレス印加試験において、効果的にストレスを加えることが可能になる。

【0 0 5 1】

(第 4 の実施形態)

図 6 は、本発明の第 4 の実施形態を示す内部電源回路の構成図であり、図 1 中の要素と共通の要素には共通の符号が付されている。

【0 0 5 2】

この内部電源回路は、半導体チップ上に設けられたオプションパッド 8 1 a, 8 1 b を有している。オプションパッド 8 1 a, 8 1 b は、半導体チップを半導体装置として組み立てる際に、外部電源電圧 V_{CC} または接地電圧 GND に固定接続することで、内部の動作モードを設定するためのものである。オプションパッド 8 1 a, 8 1 b には、それぞれモード検出部 8 2 a, 8 2 b が接続されてい

る。

【 0 0 5 3 】

モード検出部 8 2 a は、半導体チップの対応電圧範囲が 2 V 仕様の場合に、モード信号 MOD a に “H” を出力し、それ以外の場合には “L” を出力するものである。また、モード検出部 8 2 b は、半導体チップの対応電圧範囲が 5 V 仕様の場合に、モード信号 MOD b に “H” を出力し、それ以外の場合には “L” を出力するものである。

【 0 0 5 4 】

モード検出部 8 2 a の出力側は、NOR（否定的論理和ゲート）8 3 の第 1 の入力側と NAND（否定的論理積ゲート）8 4 b の第 1 の入力側に接続されている。また、モード検出部 8 2 b の出力側は、NOR 8 3 の第 2 の入力側と NAND 8 4 c の第 1 の入力側に接続されている。更に、NOR 8 3 の出力側は、NAND 8 4 a の第 1 の入力側に接続されている。

【 0 0 5 5 】

NAND 8 4 a の第 2 の入力側には、3 V 仕様電圧切り替えポイントで検出信号 DET a を “L” から “H” に切り替える電圧検出部 1 0 a の出力側が接続されている。NAND 8 4 b の第 2 の入力側には、2 V 仕様電圧切り替えポイントで検出信号 DET b を “L” から “H” に切り替える電圧検出部 1 0 b の出力側が接続されている。NAND 8 4 c の第 2 の入力側には、5 V 仕様電圧切り替えポイントで検出信号 DET c を “L” から “H” に切り替える電圧検出部 1 0 c の出力側が接続されている。

【 0 0 5 6 】

NAND 8 4 a ～ 8 4 c の出力側は、3 入力の NAND 8 5 の入力側に接続され、この NAND 8 5 から出力される検出信号 DET が電圧切替部 3 0 に与えられるようになっている。その他の構成は、図 1 と同様である。

【 0 0 5 7 】

次に動作を説明する。

2 V 仕様のときは、モード信号 MOD a , MOD b がそれぞれ “H” , “L” となり、NOR 8 3 の出力信号は “L” となる。これにより、NAND 8 4 a ,

84cの出力信号は、共に“H”となる。NAND84bの第1の入力側は“H”となっているので、電圧検出部10bから出力される検出信号DETbが、検出信号DETとしてNAND85から出力される。

【0058】

5V仕様のときは、モード信号MODa, MODbがそれぞれ“L”, “H”となり、NOR83の出力信号は“L”となる。これにより、NAND84a, 84bの出力信号は、共に“H”となる。NAND84cの第1の入力側は“H”となっているので、電圧検出部10cから出力される検出信号DETcが、検出信号DETとしてNAND85から出力される。

【0059】

3V仕様のときは、モード信号MODa, MODbが共に“L”となり、NOR83の出力信号は“H”となる。更に、NAND84b, 84cの出力信号は、共に“H”となる。これにより、電圧検出部10aから出力される検出信号DETaが、検出信号DETとしてNAND85から出力される。

【0060】

NAND85から出力された検出信号DETに従って、電圧切替部30によって定電圧生成部20a, 20bの電圧V20a, 20bの一方が基準電圧VRFとして選択され、内部電源出力部40から内部電源電圧VDDが出力される動作は、第1の実施形態と同様である。

【0061】

以上のように、この第4の実施形態の内部電源回路は、複数の電源電圧の中から特定の電圧を設定するためのオプションパッド81a, 81bと、モード検出部82a, 82bを有し、更に各電源電圧仕様に対応した電圧検出部10a～10cと、設定されたモードに基づいて検出信号DETa～DETcのいずれか1つを選択する論理ゲート回路を有している。これにより、モードによって内部電源電圧VDDを容易に切り替えることができるという利点がある。

【0062】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0 0 6 3】

(a) 電圧検出部 1 0、電圧切替部 2 0、内部電源出力部 4 0 等の回路構成は、図示したものに限定されない。同様の機能を有する回路であれば、どのような回路でも適用可能である。

【0 0 6 4】

(b) 図 3 の内部電源出力部 4 0 A は、複数の電圧検出部 1 0 a ~ 1 0 n を用いて電源供給能力を多段階に切り替えるようにしているが、1 つの電圧検出部 1 0 a を用いて電源供給能力を 2 段階に切り替えるようにしても良い。

【0 0 6 5】

(c) 図 6 の内部電源回路は、3 種類の電源電圧に対応可能なものであるが、電圧検出部 1 0 の数を増減してそれに応じた論理ゲート回路を用いることにより、2 種類または 4 種類以上に対応可能なものにすることができる。

【0 0 6 6】**【発明の効果】**

以上詳細に説明したように、本発明によれば、同一の回路構成を有する第 1 及び第 2 の定電圧生成部で、2 種類の異なる一定電圧を生成しているので、電圧検出部の検出信号によって切り替えられたときに温度依存性及び閾値電圧依存性による変動が無く、安定した内部電源電圧が生成される。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施形態を示す内部電源回路の構成図である。

【図 2】

図 1 の動作を示す信号波形図である。

【図 3】

本発明の第 2 の実施形態を示す内部電源出力部の構成図である。

【図 4】

本発明の第 3 の実施形態を示す内部電源回路の構成図である。

【図 5】

図 4 の動作を示す信号波形図である。

【図 6】

本発明の第 4 の実施形態を示す内部電源回路の構成図である。

【符号の説明】

1 0, 1 0 x, 1 0 A 電圧検出部

2 0 a, 2 0 b 定電圧生成部

3 0 電圧切替部

4 0, 4 0 A 内部電源出力部

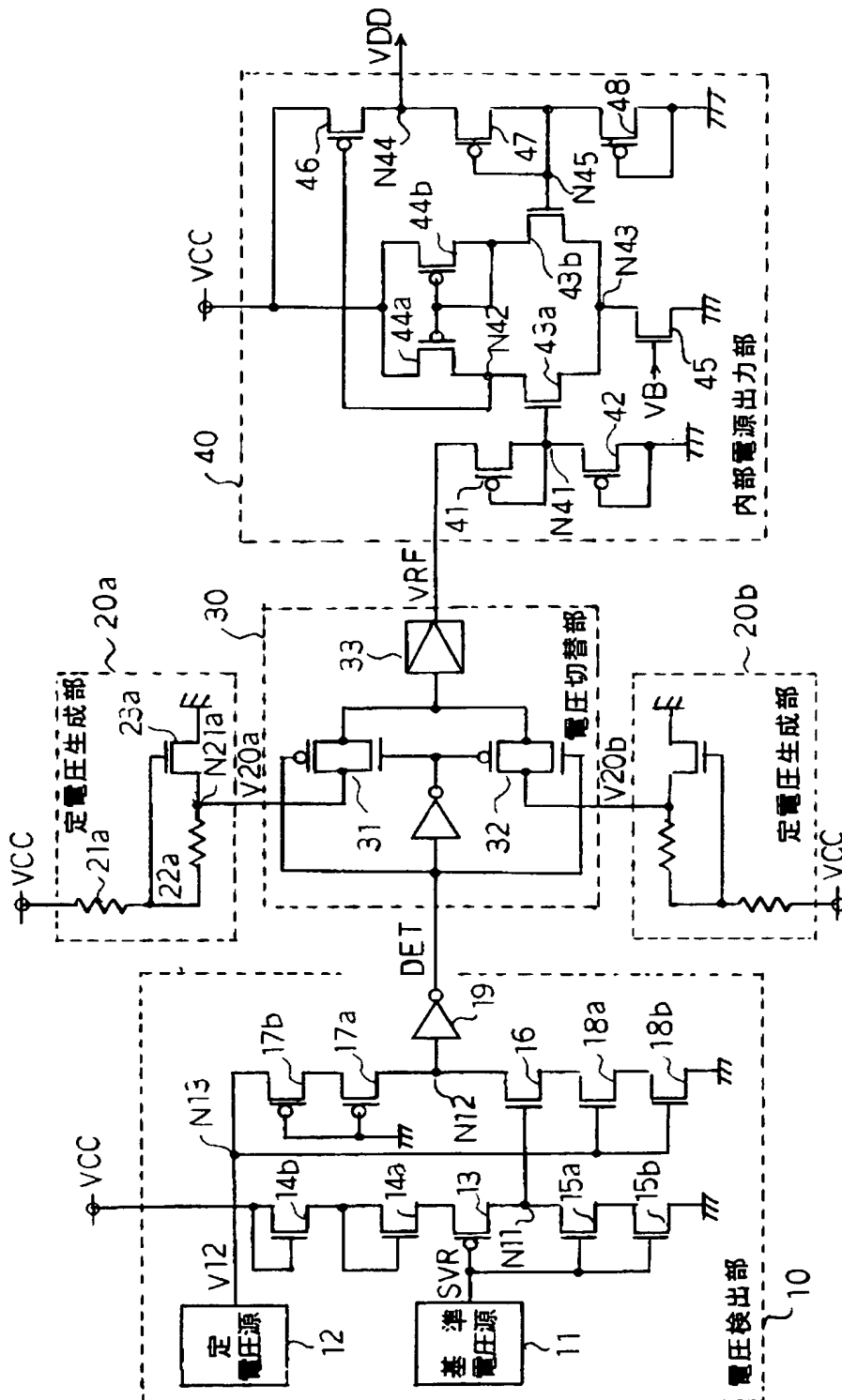
6 0 クロック発生部

7 0 昇圧部

【書類名】

図面

【図 1】



本発明の第 1 の実施形態の内部電源回路

【図 2】

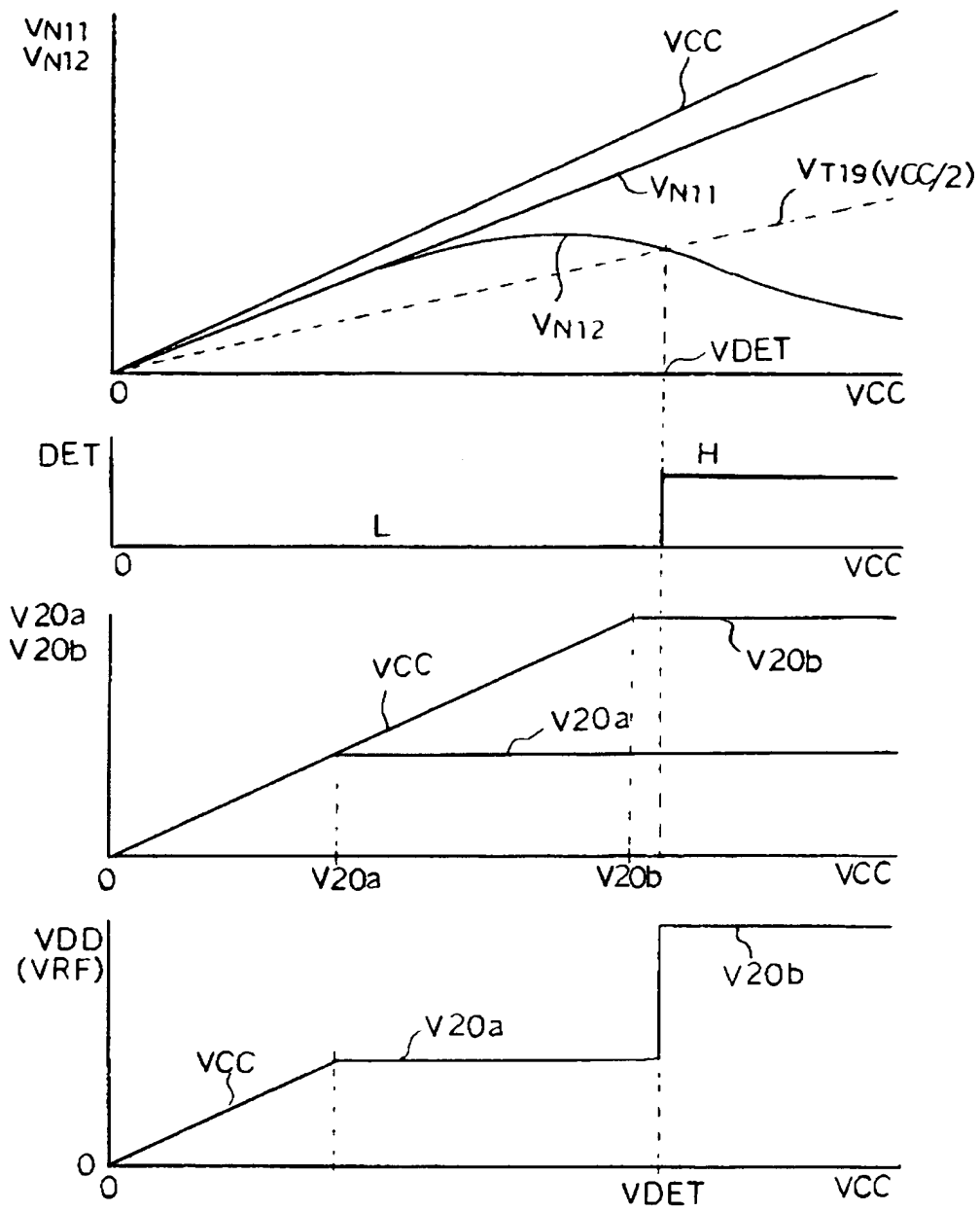
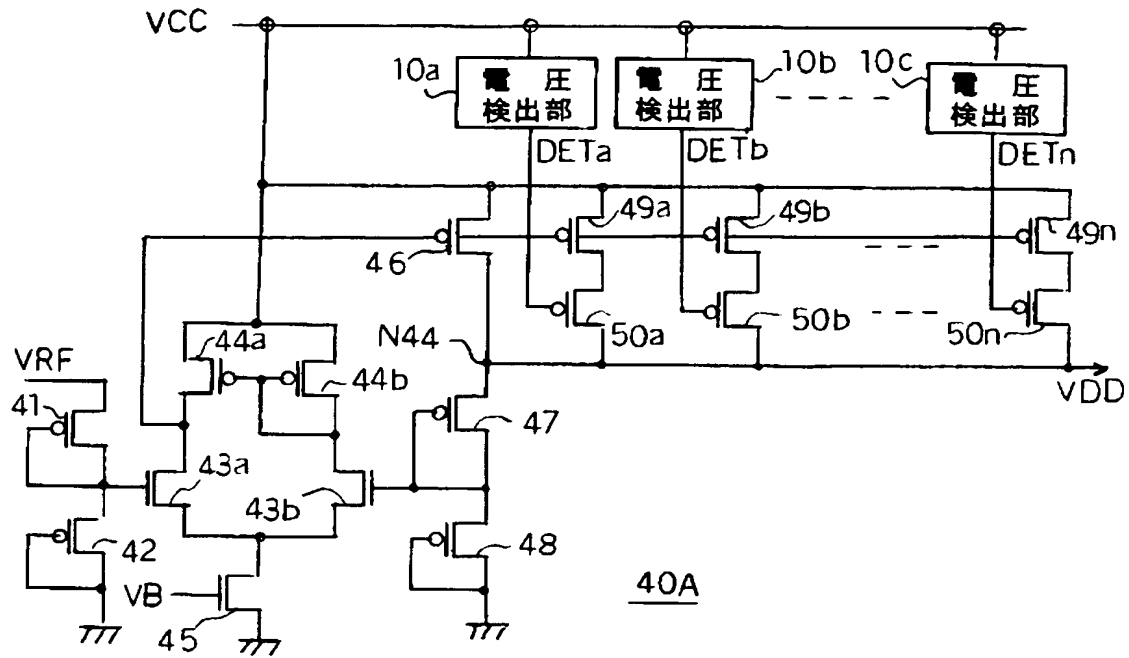


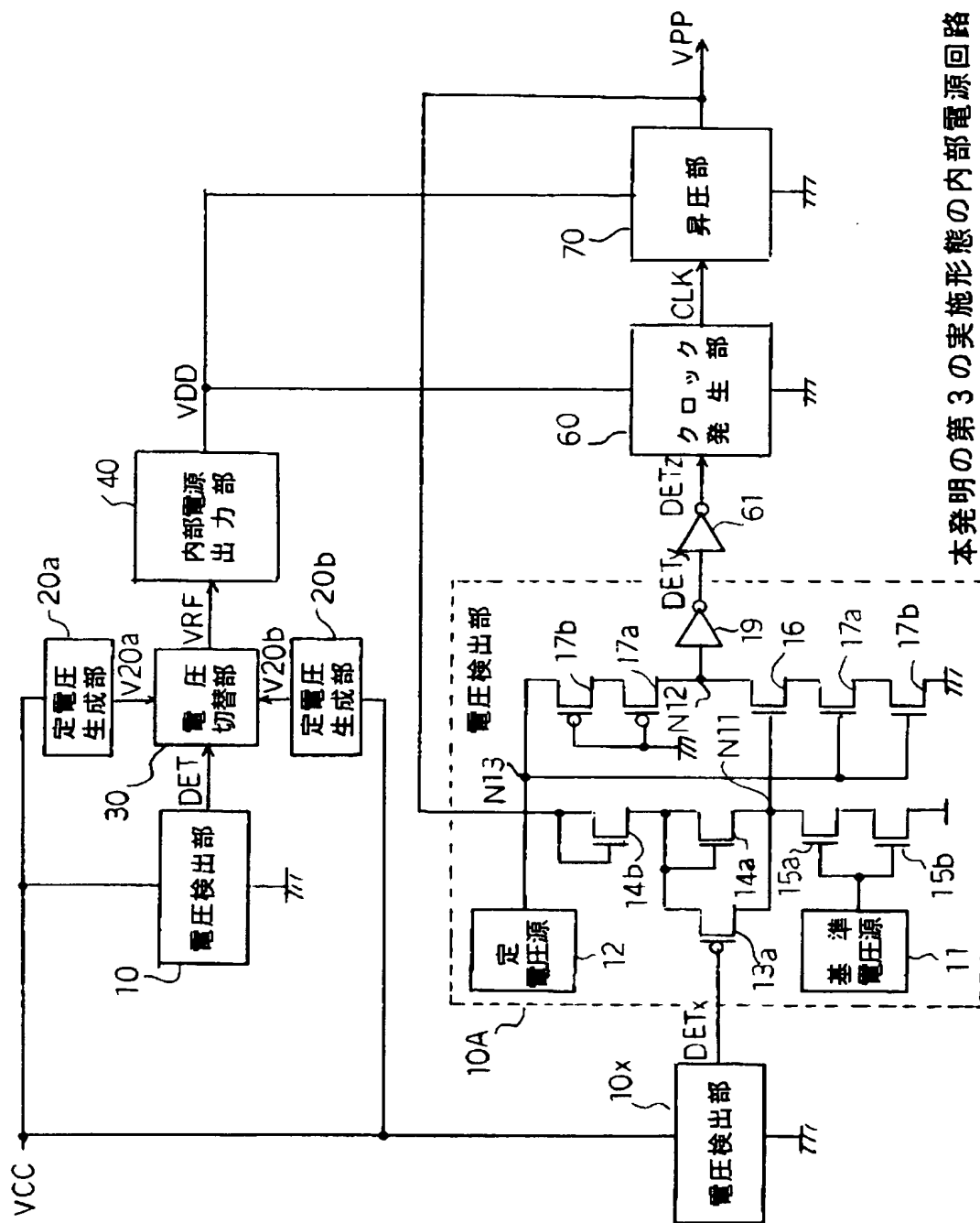
図 1 の信号波形

【図 3】



本発明の第 2 の実施形態の内部電源出力部

【図 4】



本発明の第3の実施形態の内部電源回路

【図 5】

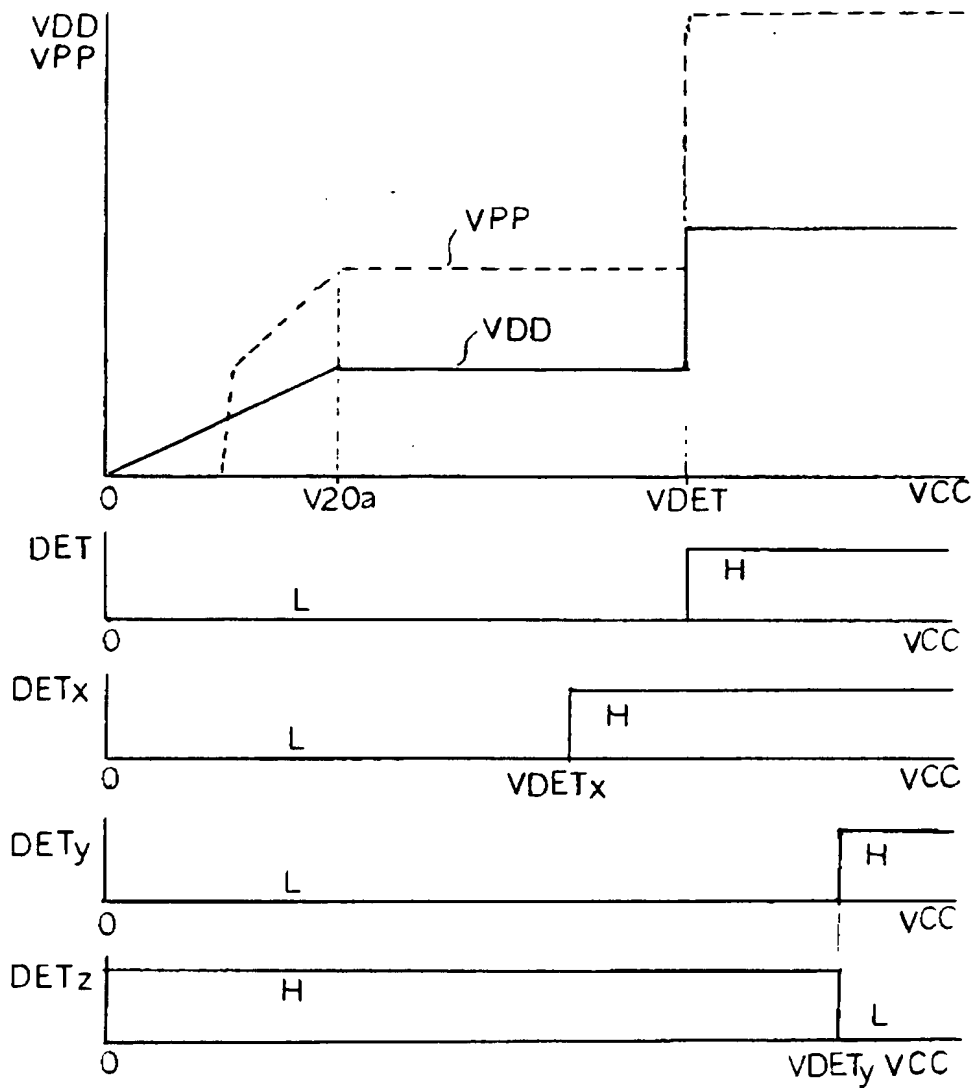
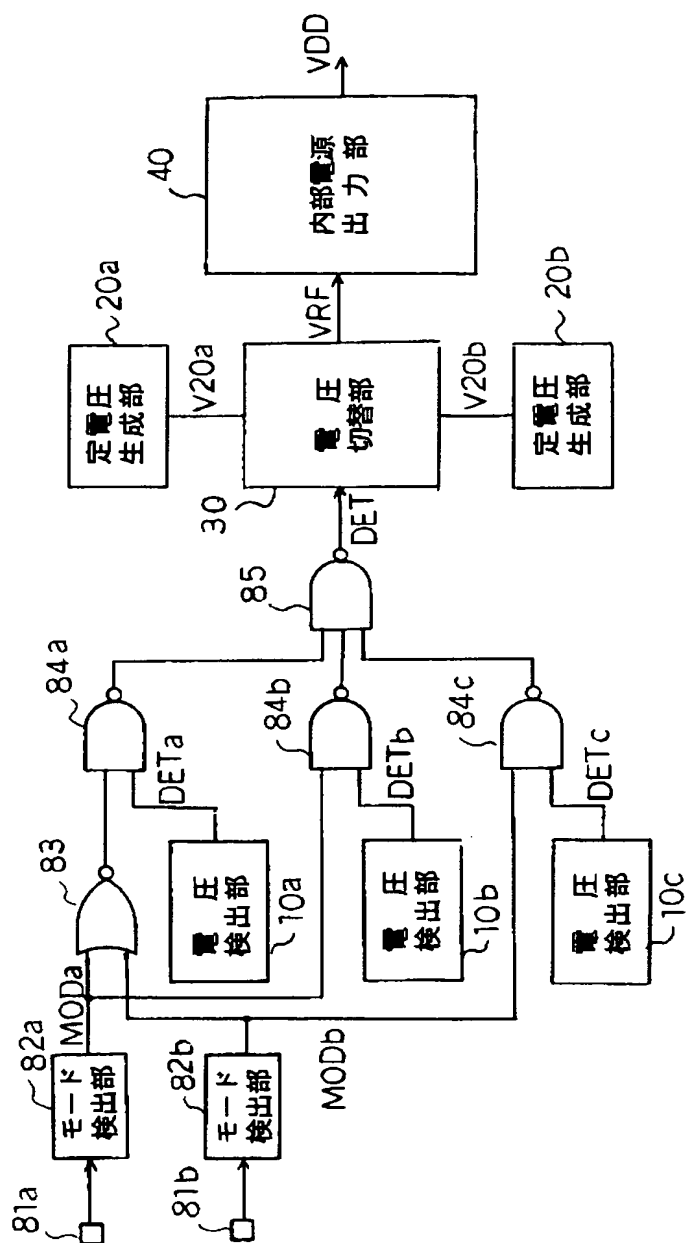


図 4 の信号波形

【図 6】



本発明の第 4 の実施形態の内部電源回路

【書類名】 要約書

【要約】

【課題】 安定した内部電源電圧を生成する内部電源回路を提供する。

【解決手段】 電圧検出部 1 0 において、外部電源電圧 V C C が所定の電圧よりも高いか低いかの検出が行われ、その結果の検出信号 D E T が電圧切替部 3 0 に与えられる。一方、同一の回路で構成される定電圧生成部 2 0 a , 2 0 b では、外部電源電圧 V C C からそれぞれ異なる一定電圧 V 2 0 a , V 2 0 b が生成され、電圧切替部 3 0 に出力される。電圧切替部 3 0 では、検出信号 D E T に基づいて一定電圧 V 2 0 a , V 2 0 b のいずれか一方が選択され、基準電圧 V R F として内部電源出力部 4 0 に与えられる。内部電源出力部 4 0 では、基準電圧 V R F に従って外部電源電圧 V C C から内部電源電圧 V D D が生成されて出力される。

【選択図】 図 1

特願 2003-069365

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社